

501.43352X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Hiroaki NAMBU, et al
Serial No.:
Filed: February 2, 2004
Title: SEMICONDUCTOR INTEGRATED CIRCUIT
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 2, 2004

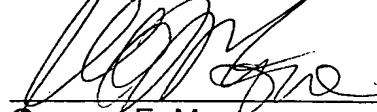
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-077301 filed March 20, 2003

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 7 3 0 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 7 3 0 1]

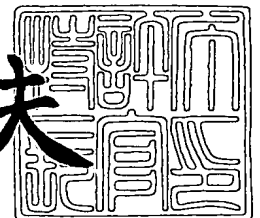
出 願 人
Applicant(s): 株式会社ルネサステクノロジ
 株式会社日立超エル・エス・アイ・システムズ



2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 7 0 2 9

【書類名】 特許願

【整理番号】 H02015711

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 南部 博昭

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 篠崎 雅雄

【発明者】

【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 金谷 一男

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
作所 デバイス開発センタ内

【氏名】 風間 秀士

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】**【識別番号】** 100089071**【弁理士】****【氏名又は名称】** 玉村 静世**【電話番号】** 03-5217-3960**【手数料の表示】****【予納台帳番号】** 011040**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 クロック信号を取り込むためのクロック入力端子及びデータ信号を取り込むためのデータ入力端子と、

上記クロック入力端子に入力されるクロック信号の第 i 番目 (i は 1 以上の整数) の切り換わりタイミングと第 $(i + 1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号を発生する内部クロック発生回路と、

上記データ入力端子に入力されるデータ信号を、上記内部クロック信号に同期して取り込むラッチ回路と、を含むことを特徴とする半導体集積回路。

【請求項 2】 上記内部クロック発生回路は、クロック信号の第 $(i - j)$ 番目の切り換わりタイミングと第 $(i + 1 + j)$ 番目 (j は 0 以上の整数) の切り換わりタイミングとのタイミング差 $((2j + 1)$ 回の切り換わり分) の半分の時間に相当する遅延量を保持する第 1 の手段と、上記クロック信号を上記保持された遅延量の時間だけ遅延して上記内部クロックを発生する第 2 の手段とを含んで成る請求項 1 記載の半導体集積回路。

【請求項 3】 上記内部クロック発生回路は、第 1 及び第 2 の分周器と位相比較器と可変遅延回路と遅延制御回路とで構成され、上記クロック信号の第 $(i - j)$ 番目の切り換わりタイミングと同期した第 1 の分周信号を発生する第 1 の分周器と、上記クロック信号の第 $(i + 1 + j)$ 番目の切り換わりタイミングと同期した第 2 の分周信号を発生する第 2 の分周器と、上記第 1 と第 2 の分周信号の位相を比較する位相比較器と、上記位相差の半分の時間に相当する遅延時間を有するように上記可変遅延回路を制御する遅延制御回路と、を含んで成り、上記クロック信号を可変遅延回路に入力し、可変遅延回路の出力信号を上記内部クロック信号とした請求項 1 記載の半導体集積回路。

【請求項 4】 上記クロック入力端子に入力されるクロック信号を受けるクロック入力バッファを有し、上記クロック入力バッファは、第 1 クロック信号とそれと相補レベルの関係にある第 2 クロック信号とを発生し、第 1 クロック信号

が上記第1分周器に入力されるとき、第2クロック信号は、上記第2分周器に入力され、第1クロック信号が上記第2分周器に入力されるとき、第2クロック信号が第1分周器に入力される請求項3記載の半導体集積回路。

【請求項5】 クロック入力端子とデータ入力端子と上記クロック入力端子に入力されるクロック信号から内部クロック信号を発生する内部クロック発生回路と上記データ入力端子に入力されるデータ信号を上記内部クロック信号に同期して取り込むラッチ回路とを含む半導体集積回路であって、

上記内部クロック発生回路は、

上記クロック信号を入力し上記内部クロック信号を出力する第1的可変遅延回路と、

上記クロック信号またはその反転信号を遅延する第2的可変遅延回路と、

上記第2的可変遅延回路の出力信号を遅延する第3的可変遅延回路と、

上記第3的可変遅延回路の出力信号を分周する第1の分周器と、

上記クロック信号またはその反転信号を分周する第2の分周器と、

第1の分周器の出力する第1の分周信号と第2の分周器の出力する第2の分周信号との位相を比較する位相比較器と、

上記位相比較器の出力信号に基づいて、上記第1、第2、第3的可変遅延回路を制御する遅延制御信号を出力する遅延制御回路と、を含み、

上記第1、第2、第3的可変遅延回路は互いに同一構成とされ、

上記第1の分周器は上記クロック信号の第 $(i-j)$ 番目の切り換わりタイミングに同期した第1の分周信号を発生し(i は1以上の整数、 j は0以上の整数)、上記第2の分周器は上記クロック信号の第 $(i+1+j)$ 番目の切り換わりタイミングに同期した第2の分周信号を発生し、上記位相比較器は上記第1の分周信号と第2の分周信号との位相差を比較し、上記遅延制御回路は上記位相差が零になるように第1、第2、第3的可変遅延回路の遅延時間を制御するものであることを特徴とする半導体集積回路。

【請求項6】 上記第1及び第2の分周器は、それぞれラッチ回路を複数個直列に接続して構成され、これらラッチ回路の初期状態を設定することによって、上記 j の値の設定が行われる請求項5記載の半導体集積回路。

【請求項 7】 上記ラッチ回路の初期状態の設定をヒューズ信号または外部入力信号で設定可能な請求項 5 記載の半導体集積回路。

【請求項 8】 上記クロック入力端子から第 1 の可変遅延回路へ至る信号の遅延時間と第 1 の可変遅延回路から上記ラッチ回路へ至る信号の遅延時間との和から、上記データ入力端子から上記ラッチ回路へ至る信号の遅延時間を引いた時間の 2 倍の遅延時間を有するダミーの遅延回路を、上記クロック入力端子から第 1 の分周器へ至る信号経路の途中に配置したことを特徴とする請求項 5 記載の半導体集積回路。

【請求項 9】 クロック入力端子とデータ入力端子と上記クロック入力端子に入力されるクロック信号から内部クロック信号を発生する内部クロック発生回路と上記データ入力端子に入力されるデータ信号を上記内部クロック信号に同期して取り込むラッチ回路とを含む半導体集積回路であって、

上記内部クロック発生回路は、

上記クロック信号を入力し上記内部クロック信号を出力する可変遅延回路と、

上記可変遅延回路の出力信号を遅延するダミー可変遅延回路と、

上記ダミー可変遅延回路の出力信号を分周する第 1 の分周器と、

上記クロック信号またはその反転信号を分周する第 2 の分周器と、

第 1 の分周器の出力する第 1 の分周信号と第 2 の分周器の出力する第 2 の分周信号との位相を比較する位相比較器と、

上記位相比較器の出力信号に基づいて、上記可変遅延回路及び上記ダミー可変遅延回路を制御する遅延制御信号を出力する遅延制御回路と、を含み、

上記第 1 の分周器は上記クロック信号の第 $(i - j)$ 番目の切り換わりタイミングに同期した第 1 の分周信号を発生し (i は 1 以上の整数、 j は 0 以上の整数)、上記第 2 の分周器は上記クロック信号の第 $(i + 1 + j)$ 番目の切り換わりタイミングに同期した第 2 の分周信号を発生し、上記位相比較器は上記第 1 の分周信号と第 2 の分周信号との位相差を比較し、上記遅延制御回路は上記位相差が零になるように上記可変遅延回路及び上記ダミー可変遅延回路の遅延時間を制御するものであることを特徴とする半導体集積回路。

【請求項 10】 複数のメモリセルがアレイ状に配列されて成るメモリセル

アレイを含み、上記メモリセルへの書き込みデータが上記データ信号として上記ラッチ回路に伝達可能にされて成る請求項 1 乃至 9 の何れか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に外部クロック信号から発生する内部クロック信号によって入力データを取り込む場合の内部クロック発生に利用して有効な技術に関するものである。

【0002】

【従来の技術】

クロック同期型メモリを含む半導体集積回路では、メモリへ入力されたデータをメモリ内部で確実にフェッチするために、所定期間だけデータを保持してデータ出力制御を行う必要がある。また、そのために外部クロックと一定の位相関係にある内部クロック信号を発生させる必要がある。

【0003】

半導体集積回路のデータの入出力を高速化するために、1クロックサイクル中に2回のデータ転送を行うDDR (Double Data Rate) 方式、またデータウインドを拡大するために、クロック信号とデータ信号の切り換わり位相を一致させたEA (Edge Aligned) 方式が提案されている。この方式では、LSIに入力されるデータを、上記クロックに対して位相がほぼ90度または270度異なる内部クロックに同期させて取り込む必要がある(例えば特許文献参照)。

【0004】

【特許文献】

特開平11-110062号公報

【0005】

【発明が解決しようとする課題】

図16には、DDR方式とEA方式を併用した場合のクロック信号とデータ信

号のタイミングが示される。本図においてCKはクロック信号、DIはデータ信号である。また、 t_c はサイクル時間であり、本例ではCKのデューティー比 (t_h/t_c) が50%の例を示している (すなわち、 $t_h=t_l$)。DDR方式なので、DIは1クロックサイクル中に2回切り換わっている。また、EA方式なので、クロック信号CKとデータ信号DIの切り換わり位相が一致している。

【0006】

ここで、上記従来技術を適用すると、クロック信号CKに対して位相が90度異なる内部クロック信号CKIT及び位相が270度異なるCKIBを発生することができる。すなわち、 $t_{kh}=0.25\times t_c$ 、 $t_{kl}=0.25\times t_c$ となり、内部クロック信号CKITとCKIBはDIの切り換わりタイミングの中間のタイミングで切り換わることになる (すなわち $t_{kh}=t_{ch}$ 、 $t_{kl}=t_{cl}$ 。ここで $t_{ch}=0.5\times t_h$ 、 $t_{cl}=0.5\times t_l$)。従って、データ信号DIを内部クロック信号CKITまたはCKIBに同期動作するラッチ回路DIRGで取り込むと、十分なタイミングマージンを持ってデータ信号DIを取り込むことができる。

【0007】

しかし、クロック信号CKのデューティー比 (t_h/t_c) が50%と異なる場合に、上記従来技術を適用すると十分なマージンを確保できなくなる。

【0008】

図17には、デューティー比が70%の例が示される。ここで上記従来技術を適用すると、図16の場合と同様に、 $t_{kh}=0.25\times t_c$ 、 $t_{kl}=0.25\times t_c$ となるのに対し、データ信号DIの切り換わりタイミングの中間のタイミングは、 $t_{ch}=0.35\times t_c$ 、 $t_{cl}=0.15\times t_c$ となる。従って、データ信号DIを内部クロック信号CKIT又はCKIBに同期動作するラッチ回路DIRGで取り込む場合、 $\Delta t_{ch}=t_{ch}-t_{kh}=0.1\times t_c$ 、 $\Delta t_{cl}=(0.7\times t_c+t_{cl})-(0.5\times t_c+t_{kl})=0.1\times t_c$ だけタイミングマージンが小さくなってしまう。

【0009】

本発明の目的は、クロック信号CKのデューティー比が50%と異なる場合に

において、データ信号をクロック信号に同期して取り込む際のタイミングマージンが小さくなるのを防止することにある。

【0010】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】

すなわち、クロック信号を取り込むためのクロック入力端子及びデータ信号を取り込むためのデータ入力端子と、上記クロック入力端子に入力されるクロック信号の第 i 番目 (i は 1 以上の整数) の切り換わりタイミングと第 $(i+1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号を発生する内部クロック発生回路と、上記データ入力端子に入力されるデータ信号を、上記内部クロック信号に同期して取り込むラッチ回路とを含んで半導体集積回路を構成する。

【0013】

上記の手段によれば、上記クロック入力端子に入力されるクロック信号の第 i 番目の切り換わりタイミングと第 $(i+1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号に同期して上記データ信号を取り込む。このことが、上記クロック信号のデューティ比が 50% と異なる場合でも、データ取り込みについてのタイミングマージンが小さくなるのを回避する。

【0014】

このとき、上記内部クロック発生回路は、クロック信号の第 $(i-j)$ 番目の切り換わりタイミングと第 $(i+1+j)$ 番目 (j は 0 以上の整数) の切り換わりタイミングとのタイミング差 ($(2j+1)$ 回の切り換わり分) の半分の時間に相当する遅延量を保持する第 1 の手段と、上記クロック信号を上記保持された遅延量の時間だけ遅延して上記内部クロックを発生する第 2 の手段とを含んで構

成することができる。

【0015】

また、上記内部クロック発生回路は、第1及び第2の分周器と位相比較器と可変遅延回路と遅延制御回路とで構成され、上記クロック信号の第 $(i-j)$ 番目の切り換わりタイミングと同期した第1の分周信号を発生する第1の分周器と、上記クロック信号の第 $(i+1+j)$ 番目の切り換わりタイミングと同期した第2の分周信号を発生する第2の分周器と、上記第1と第2の分周信号の位相を比較する位相比較器と、上記位相差の半分の時間に相当する遅延時間を有するように上記可変遅延回路を制御する遅延制御回路とを含んで構成することができる。

【0016】

上記クロック入力端子に入力されるクロック信号を受けるクロック入力バッファを有し、上記クロック入力バッファは、第1クロック信号とそれと相補レベルの関係にある第2クロック信号とを発生し、第1クロック信号が上記第1分周器に入力されるとき、第2クロック信号は、上記第2分周器に入力され、第1クロック信号が上記第2分周器に入力されるとき、第2クロック信号が第1分周器に入力されるように構成することができる。

【0017】

クロック入力端子とデータ入力端子と上記クロック入力端子に入力されるクロック信号から内部クロック信号を発生する内部クロック発生回路と上記データ入力端子に入力されるデータ信号を上記内部クロック信号に同期して取り込むラッチ回路とを含んで半導体集積回路が構成されるとき、上記内部クロック発生回路は、上記クロック信号を入力し上記内部クロック信号を出力する第1の可変遅延回路と、上記クロック信号またはその反転信号を遅延する第2の可変遅延回路と、上記第2の可変遅延回路の出力信号を遅延する第3の可変遅延回路と、上記第3の可変遅延回路の出力信号を分周する第1の分周器と、上記クロック信号またはその反転信号を分周する第2の分周器と、第1の分周器の出力する第1の分周信号と第2の分周器の出力する第2の分周信号との位相を比較する位相比較器と、上記位相比較器の出力信号に基づいて、上記第1、第2、第3の可変遅延回路を制御する遅延制御信号を出力する遅延制御回路とを含んで構成することができ

る。このとき、上記第1、第2、第3の可変遅延回路は互いに同一構成とされ、上記第1の分周器は上記クロック信号の第 $(i-j)$ 番目の切り換わりタイミングに同期した第1の分周信号を発生し(i は1以上の整数、 j は0以上の整数)、上記第2の分周器は上記クロック信号の第 $(i+1+j)$ 番目の切り換わりタイミングに同期した第2の分周信号を発生し、上記位相比較器は上記第1の分周信号と第2の分周信号との位相差を比較し、上記遅延制御回路は上記位相差が零になるように第1、第2、第3の可変遅延回路の遅延時間を制御する。

【0018】

また、上記第1及び第2の分周器は、それぞれラッチ回路を複数個直列に接続して構成され、これらラッチ回路の初期状態を設定することによって、上記 j の値の設定が行われるように構成することができる。

【0019】

上記ラッチ回路の初期状態は、ヒューズ信号または外部入力信号で設定することができる。

【0020】

上記クロック入力端子から第1の可変遅延回路へ至る信号の遅延時間と第1の可変遅延回路から上記ラッチ回路へ至る信号の遅延時間との和から、上記データ入力端子から上記ラッチ回路へ至る信号の遅延時間を引いた時間の2倍の遅延時間を有するダミーの遅延回路を、上記クロック入力端子から第1の分周器へ至る信号経路の途中に配置することができる。

【0021】

クロック入力端子とデータ入力端子と上記クロック入力端子に入力されるクロック信号から内部クロック信号を発生する内部クロック発生回路と上記データ入力端子に入力されるデータ信号を上記内部クロック信号に同期して取り込むラッチ回路とを含んで半導体集積回路が構成されるとき、上記内部クロック発生回路は、上記クロック信号を入力し上記内部クロック信号を出力する可変遅延回路と、上記可変遅延回路の出力信号を遅延するダミー可変遅延回路と、上記ダミー可変遅延回路の出力信号を分周する第1の分周器と、上記クロック信号またはその反転信号を分周する第2の分周器と、第1の分周器の出力する第1の分周信号と

第2の分周器の出力する第2の分周信号との位相を比較する位相比較器と、上記位相比較器の出力信号に基づいて、上記可変遅延回路及び上記ダミー可変遅延回路を制御する遅延制御信号を出力する遅延制御回路とを含んで構成することができる。このとき、上記第1の分周器は上記クロック信号の第 $(i-j)$ 番目の切り換わりタイミングに同期した第1の分周信号を発生し(i は1以上の整数、 j は0以上の整数)、上記第2の分周器は上記クロック信号の第 $(i+1+j)$ 番目の切り換わりタイミングに同期した第2の分周信号を発生し、上記位相比較器は上記第1の分周信号と第2の分周信号との位相差を比較し、上記遅延制御回路は上記位相差が零になるように上記可変遅延回路及び上記ダミー可変遅延回路の遅延時間を制御する。

【0022】

さらに、複数のメモリセルがアレイ状に配列されて成るメモリセルアレイを設け、上記メモリセルへの書き込みデータが上記データ信号として上記ラッチ回路に伝達されるように構成することができる。

【0023】

【発明の実施の形態】

図15は、本発明にかかる半導体集積回路の一例であるスタティック型RAMの構成が示される。

【0024】

図15に示されるスタティック型RAMは、DDR方式やEA方式が併用されたクロック同期型とされ、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0025】

図15において、MUL0~MUL7、MUR0~MUR7、MLL0~MLL7、MLR0~MLR7は、複数のスタティック型メモリセルがアレイ状に配置されて成るメモリセルアレイであり、MWDはメインワードドライバである。また、CK/ADR/CNTLはクロック信号、アドレス信号、メモリ制御信号等の各種入力回路、DI/DQはデータ入出力回路、I/Oは、モード切り換え信号、テスト信号、DC信号等の入出力回路である。本例ではセンタパッド方式

の例を示しており、このため各種入力回路CK/ADR/CNTL、データ入出力回路DI/DQ、及び入出力回路I/Oもチップの中央に位置されている。また、REG/PDECはプリデコーダ等であり、DLLCはクロックの同期化回路であり、JTAG/TAPはテスト回路であり、VGは内部電源電圧発生回路である。FUSEはヒューズ回路であり、このヒューズ回路FUSEは、メモリアレイ欠陥救済等に用いられる。VREFは入力信号を取り込むための参照電圧を発生する参照電圧発生回路である。

【0026】

図1には、上記スタティック型RAMにおける主要部の構成例が示される。

【0027】

DIはデータ信号であり、このデータ信号は上記メモリセルアレイへの書き込みデータとされる。VrefはDIのローレベルとハイレベルのほぼ中間のレベルである参照レベル信号、CKTとCKBは相補レベルのクロック信号、CKITとCKIBは内部クロック信号である。

【0028】

DIBはDI入力バッファ、DIRGはDI入力バッファDIBの出力DI2を内部クロック信号CKITまたはCKIBに同期して取り込むラッチ回路、CKBFはCK入力バッファである。本回路ではDI入力バッファDIBとCK入力バッファCKBFの遅延時間がほぼ同じになるように設計される。DLITは、CK入力バッファCKBFの出力CKT2を入力し、内部クロック信号CKITを発生するディレイ・ロックド・ループであり、DLBは、クロック信号CKT2の反転信号CKB2を入力し、内部クロック信号CKIBを発生するディレイ・ロックド・ループである。DSTAは第1のCK分配回路であり、例えばインバータ等で構成される。VDLAは可変遅延回路である。DSTBは第2のCK分配回路であり、例えばインバータ等で構成される。DIVAとDIVBは分周器、PDは位相比較器、VDLXとVDLYはVDLAと同じ構成としてはほぼ同じ遅延時間を持つように設計されたダミー可変遅延回路、DSTXはDSTAの約2倍の遅延時間を持つように設計された第1のダミーCK分配回路、DSTYはDSTBの約2倍の遅延時間を持つように設計された第2のダミーCK分

配回路、VDLCは遅延制御回路である。

【0029】

ここで、DI入力バッファDIB、ラッチ回路DIRGはデータ入出力回路DI/DQに含まれ、CK入力バッファCKBFは各種入力回路CK/ADR/CNTLに含まれる。また、可変遅延回路VDLA、分周器DIVA、DIVB、位相比較器PD、ダミー可変遅延回路VDLX、VDLY、遅延制御回路VDLCは、クロック同期化回路DLLCに含まれる。また、第1のCK分配回路DSTAは、各種入力回路CK/ADR/CNTL又はクロック同期化回路DLLCあるいはその近傍に配置され、第2のCK分配回路DSTBは、クロック同期化回路DLLC又はそれとデータ入出力回路DI/DQとの間に配置される。また、第1のダミーCK分配回路DSTXは、第1のCK分配回路の遅延時間を模擬するように各種入力回路CK/ADR/CNT、若しくはクロック同期化回路DLLCあるいはその近傍、第2のダミーCK分配回路DSTYは、第2のCK分配回路の遅延時間を模擬するようにDLLC又はDLLC部とデータ入出力回路DI/DQとの間に配置される。

【0030】

上記DI入力バッファDIBとCK入力バッファCKBFの遅延時間がほぼ同じになるように設計されているので、データ信号DIとクロック信号CKT (CKB) の位相関係は、そのままDI2とCKT2 (CKB2) に受け継がれる。以下、CKT2が入力されるディレイ・ロックド・ループDLLTの動作について説明する。

【0031】

分周器DIVBはクロック信号CKT2の第(i-j)番目の切り換わりタイミングと同期した分周信号DIVBOを発生し(iは1以上の整数、jは0以上の整数)、分周器DIVAはクロック信号CKT2の第(i+1+j)番目の切り換わりタイミングと同期した分周信号DIVAOを発生するように設計する。位相比較器PDは分周信号DIVBOとDIVAOの位相を比較する。この比較結果は遅延制御回路VDLCに伝達される。遅延制御回路VDLCは、伝達された位相比較結果に基づいて上記位相差が零になるように可変遅延回路VDLA、

VDLX、VDLYの遅延時間を制御する。ここで、 $(i-j)$ と $(i+1+j)$ の差は $(2j+1)$ と奇数なので、後述するように、分周器DIVBとDIVAのどちらか一方はクロック信号CKT2の反転信号CKB2を用いて分周信号を発生する方が望ましい。本図では、DIVAの前にセクタSELを配置することで、選択的にクロック信号CKB2を入力できるようになっている。つまり、セクタSELは、ディレイ・ロックド・ループDLLT内の分配回路DSTAの出力信号と、ディレイ・ロックド・ループ内の分配回路DSTAの出力信号とを選択的に分周器DIVAへ伝達することができる。

【0032】

図2には、 $j=2$ の場合の動作タイミングが示される。

【0033】

この場合、分周器DIVBはクロック信号CKT2の第 $(i-2)$ 番目の切り換わりタイミングと同期した分周信号DIVBOを発生し、分周器DIVAはCKTの第 $(i+3)$ 番目の切り換わりタイミングと同期した分周信号DIVAOを発生する。ここで、分配回路DSTAの遅延時間を $t_{pd}(DSTA)$ 、分周器DIVAの遅延時間を $t_{pd}(DIVA)$ 、DIVBの遅延時間を $t_{pd}(DIVB)$ 、可変遅延回路VDLX、VDLYを前述したように等しい遅延時間 $t_{pd}(VDLX)$ 、分配回路DSTXの遅延時間を $t_{pd}(DSTX)$ 、分配回路DSTYの遅延時間を $t_{pd}(DSTY)$ とすると、次式が成立する。

$$\begin{aligned} t_a &= t_{pd}(DSTA) + t_{pd}(DIVA) \\ t_b &= t_{pd}(DSTA) + t_{pd}(DIVB) + 2 \times t_{pd}(VDLX) + t_{pd}(DSTX) + t_{pd}(DSTY) \cdots (1) \end{aligned}$$

【0034】

ここで、分周器DIVAの遅延時間を $t_{pd}(DIVA)$ とDIVBの遅延時間を $t_{pd}(DIVB)$ が等しいとすると、次式が成立する。

$$t_{pd}(DIVA) = t_{pd}(DIVB) \cdots (2)$$

【0035】

この結果、(1) 式は、次のように書き直すことができる。

$$t_b = t_{pd}(DSTA) + t_{pd}(DIVA) + 2 \times t_{pd}(VDLX) + t$$

$$p d (D S T X) + t p d (D S T Y)$$

【0036】

また、遅延制御回路V D L Cは分周信号D I V B OとD I V A Oの位相差が零になるように可変遅延回路V D L A、V D L X、V D L Yの遅延時間を制御する。

【0037】

従って、次式が成立する。

$$t b = t 0 + t a$$

$$t 0 = 2 \times t p d (V D L X) + t p d (D S T X) + t p d (D S T Y)$$

【0038】

ここで、可変遅延回路V D L Aの遅延時間を $t p d (V D L A)$ 、分配回路D S T Bの遅延時間を $t p d (D S T B)$ とすると、次式が成立する。

$$t p d (V D L A) = t p d (V D L X) \cdots (3)$$

$$t p d (D S T A) = 0.5 \times t p d (D S T X) \cdots (4)$$

$$t p d (D S T B) = 0.5 \times t p d (D S T Y) \cdots (5)$$

【0039】

従って、次式が成立する。

$$t 0 = 2 \times t p d (V D L A) + 2 \times t p d (D S T A) + 2 \times t p d (D S T B)$$

$$t p d (V D L A) + t p d (D S T A) + t p d (D S T B) = 0.5 \times t 0$$

【0040】

この結果、図2に示されるように、内部クロック信号C K I Tは、C K T 2に対して $0.5 \times t 0$ 遅れたタイミングで切り換わる。ここで着目すべき点は、C K T 2（すなわち、C K T）のデューティー比によらず、常に次式が成立する点である。

$$t k h = 0.5 \times t 1 - t c = 0.5 \times t h = t c h \cdots (6)$$

【0041】

従って、C K Tのデューティー比が50%と異なる場合に、D I 2を内部クロック信号C K I Tに同期動作するラッチ回路D I R Gで取り込む際、タイミング

マージンが小さくなるのを防止することができる。

【0042】

ここで、(6) 式が精度よく成立するためには、(3) ~ (5) 式が精度よく成立する必要がある。このことから、VDLA とほぼ同じ遅延時間を持つように設計されたダミー可変遅延回路VDLX とVDLY、DSTA の約 2 倍の遅延時間を持つように設計されたダミーCK分配回路DSTX、DSTB の約 2 倍の遅延時間を持つように設計されたダミーCK分配回路DSTY を使用するのが望ましい。

【0043】

以上、ディレイ・ロックド・ループDLLT について説明してきたが、ディレイ・ロックド・ループDLLB についても、同様に構成されることで同様に動作する。すなわち、ディレイ・ロックド・ループDLLB では、分周器DIVB はクロック信号CKT2 の第 (i-1) 番目の切り換わりタイミングと同期した分周信号DIVBO を発生し、分周器DIVA はCKT の第 (i+4) 番目の切り換わりタイミングと同期した分周信号DIVAO を発生するようにすると、図 3 に示されるように、(7) 式が成立することから、DLLT と同様、DI2 をCKIB に同期動作するラッチ回路DIRG で取り込む際、タイミングマージンが小さくなるのを防止することができる。

$$t_{kl} = t_{cl} \cdots (7)$$

【0044】

図 4 には、上記スタティック型RAM における主要部の別の構成例が示される。

【0045】

図 4 に示される回路が、図 1 に示されるのと異なるのは、可変遅延回路VDLX を可変遅延回路VDLA で代用し、可変遅延回路VDLX を省略にしている点である。このようにすると、可変遅延回路VDLX が不要になる分、回路のチップ占有面積を小さくできる。また、可変遅延回路VDLX を可変遅延回路VDLA で代用すると、(3) 式がより精度よく成立し、その結果 (6)、(7) もより精度よく成立する。従って、データ信号DI を内部クロック信号CKIT また

はCKIBに同期動作するラッチ回路DIRGで取り込む際、タイミングマージンが小さくなるのをさらに確実に防止することができる。

【0046】

図5は、図1におけるDI入力バッファDIBや、CK入力バッファCKBFの構成例が示される。ここで、Vssは低電位側電源、Vddは高電位側電源であり、MP1～MP7はpチャネル型MOSトランジスタ、MN1～MN7はnチャネル型MOSトランジスタである。MOSトランジスタMP1～MP5及びMN1～MN5のゲート電極には、所定のバイアス電圧が印加されている。MOSトランジスタMP6、MP7が差動結合され、MOSトランジスタMN6、MN7が差動結合される。MOSトランジスタMP1、MP2、MN2、MN1が直列接続され、MOSトランジスタMP1、MP2の直列接続ノードにMOSトランジスタMN6のドレイン電極が結合され、MOSトランジスタMN2、MN1の直列接続ノードにMOSトランジスタMP6のドレイン電極が結合される。また、MOSトランジスタMP3、MP4、MN4、MN3が直列接続され、MOSトランジスタMP3、MP4の直列接続ノードにMOSトランジスタMN7のドレイン電極が結合され、MOSトランジスタMN4、MN3の直列接続ノードにMOSトランジスタMP7のドレイン電極が結合される。

【0047】

本回路では、入力端子INTとINBには差動信号を入力してもよいし、一方に参照レベル、他方に信号を入力してもよい。これら入力信号に対応し、出力端子OUTBとOUTAから出力信号が出力される。すなわち、INTの電位レベルがINBの電位レベルより高い場合は、MN6とMP7がオンし、MP6とMN7がオフする。このためMP2とMN2のそれぞれソース電位が低下しMP2がオフ、MN2がオンしOUTBはローレベルとなる。また、MP4とMN4のそれぞれソース電位が上昇しMP4がオン、MN4がオフしOUTTはハイレベルとなる。

【0048】

図6には、図1におけるラッチ回路DIRGの構成例が示される。

【0049】

本回路は、入力データ/Dをクロック信号/CKに同期して取り込むスレーブ・マスタ型のラッチ回路であり、インバータIV1～IV10、pチャネル型MOSトランジスタMP8、MP9、nチャネル型MOSトランジスタMN9、MN10、トランスファゲートT1、T2とが結合されて成る。トランスファゲートT1とインバータIV1とIV2とでスレーブ部が構成され、トランスファゲートT2とインバータIV3とIV4とでマスタ部が構成される。インバータIV1、IV2が並列接続されることで、スレーブ部における記憶部が形成され、インバータIV3、IV4が並列接続されることで、マスタ部における記憶部が形成される。尚、RSは本ラッチ回路をリセットするための信号であり、Qはラッチ回路の出力信号である。

【0050】

図7には、図1における可変遅延回路VDLAや、ダミー可変遅延回路VDLX、VDLYの構成例が示される。

【0051】

図7において、CS1～CS8は差動アンプであり、MAMPはメインアンプである。また、INが入力信号、OUTTとOUTBが相補レベルの出力信号である。

【0052】

複数の差動アンプCS1～CS8は互いに同一構成とされ、図7においては差動アンプCS1についての構成例が代表的に示される。

【0053】

差動アンプCS1は、特に制限されないが、pチャネル型MOSトランジスタMP11、MP12、MP13、MP14と、nチャネル型MOSトランジスタMN11、MN12、MN13とが結合されて成る。MOSトランジスタMN11、MN12のソース電極がMOSトランジスタMN13を介して低電位側電源Vssに結合されることで差動結合される。MOSトランジスタMP11、MP12が並列接続され、MOSトランジスタMP13、MP14が並列接続されることで、上記差動MOSトランジスタMN11、MN12の負荷が形成される。MOSトランジスタMN11のドレイン電極はMOSトランジスタMP11、M

P12を介して高電位側電源V_{dd}に結合される。MOSトランジスタMN12のドレイン電極はMOSトランジスタMP13, MP14を介して高電位側電源V_{dd}に結合される。入力端子INから入力された信号は、MOSトランジスタMN12のゲート電極に伝達され、また、インバータIV11を介してMOSトランジスタMN11のゲート電極に伝達される。

【0054】

メインアンプMAMPは、特に制限されないが、pチャネル型MOSトランジスタMP15～MP22、nチャネル型MOSトランジスタMN14～MN19、インバータIV12, IV13が結合されて成る。MOSトランジスタMN14, MN15のソース電極は、MOSトランジスタMN18を介して低電位側電源V_{ss}に結合される。MOSトランジスタMP15, MP16が並列接続され、MOSトランジスタMP17, MP18が並列接続されることで、MOSトランジスタMN14, MN15の負荷が形成される。MOSトランジスタMN14のドレイン電極は、MOSトランジスタMP15, MP16を介して高電位側電源V_{dd}に結合される。MOSトランジスタMN15のドレイン電極は、MOSトランジスタMP17, MP18を介して高電位側電源V_{dd}に結合される。MOSトランジスタMN16, MN17のソース電極は、MOSトランジスタMN19を介して低電位側電源V_{ss}に結合される。MOSトランジスタMP19, MP20が並列接続され、MOSトランジスタMP21, MP22が並列接続されることで、MOSトランジスタMN16, MN17の負荷が形成される。MOSトランジスタMN16のドレイン電極は、MOSトランジスタMP19, MP20を介して高電位側電源V_{dd}に結合される。MOSトランジスタMN17のドレイン電極は、MOSトランジスタMP21, MP22を介して高電位側電源V_{dd}に結合される。MOSトランジスタMN14, MN17のゲート電極と、MOSトランジスタMN15, MN16のゲート電極には、上記複数の差動アンプCS1～CS8からの差動出力信号が伝達される。MOSトランジスタMN17のドレイン電極は、信号出力のためインバータIV12を介して出力端子OUTTに結合される。MOSトランジスタMN15のドレイン電極は、信号出力のためインバータIV13を介して出力端子OUTBに結合される。尚、MOSト

ランジスタMP15, MP18, MP19, MP22, MN18, MN19のゲート電極には、所定のバイアス電圧VBが供給される。

【0055】

上記複数の差動アンプCS1～CS8におけるMOSトランジスタMN13のゲート電極には、コントロール電圧Vcsが供給される。コントロール電圧Vcsは、制御回路VDLCTLで発生される。コントロール電圧Vcsを制御することで差動アンプCS1～CS8での信号遅延時間をコントロールし、入力信号INが入力されてから出力信号OUTT（またはOUTB）が得られるまでの遅延時間を変化させることができる。

【0056】

上記制御回路VDLCTLは、特に制限されないが、nチャネル型MOSトランジスタMN20、抵抗R0～R7、スイッチS1～S7で構成されており、抵抗R1、R2、R3、R4、R5、R6、R7の比は、ほぼ1:2:4:8:16:32:64に設定されている。従って、スイッチS1～S7のオン／オフを制御する信号C1～C7にバイナリ・コードを入力すると、MOSトランジスタMN20には、このバイナリ・コードに対応する10進数に反比例した電流が流れる。MOSトランジスタMN13、MN20は、共通のゲート電圧(Vcs)を持つことによりカレントミラー回路を構成しており、また、差動アンプCS1～CS8の遅延時間はMOSトランジスタMN13に流れる電流に反比例すると考えられるので、差動アンプCS1～CS8の遅延時間は、上記バイナリ・コードに対応する10進数に比例して変化することになる。すなわち、本例では遅延時間を128通り（2の7乗通り）に変化させることができる。

【0057】

図8には、図1における可変遅延回路VDLAや、ダミー可変遅延回路VDLX、VDLYの別の構成例が示される。

【0058】

図8において、IVA1～IVA5とIVB1～IVB5はインバータ、SA1～SA5とSB1～SB5は、経路を断続可能なスイッチである。また、INが入力端子、OUTが出力端子である。上記スイッチのオン／オフ（ON／OFF

F) を図9のNo. 1～No. 5のように制御することで、入力信号INが与えられてから出力信号OUTが得られるまでの遅延時間を5通りに変化させることができる。例えば、図9のNo. 1の行に示したようにスイッチを制御すると、入力信号INは、インバータIVA1、スイッチSA1、インバータIVB1、スイッチSB1を伝わり、出力信号OUTが得られる。また、No. 2の行に示したようにスイッチを制御すると、入力信号INは、インバータIVA1、IVA2、スイッチSA2、インバータIVB2、スイッチSB2、インバータIVB1、スイッチSB1を伝わり、出力信号OUTが得られる。従って、No. 2の方が、インバータIVA2、IVB2、及びスイッチSB2を伝わる分だけ、信号の遅延時間が増加する。

【0059】

図10には、図1における分周器DIVAや、DIVBの構成例が示される。ここで、INは入力信号であり、OUTは分周信号出力である。本例では4個のスレーブ・マスタ型のラッチ回路101, 102, 103, 104を直列に接続することで、16分周器(2の4乗分周)を構成している。ラッチ回路101, 102, 103, 104は互いに同一構成とされる。そのうちの一つであるラッチ回路101は、インバータIV21, IV22, IV23, IV24, IV25、及びトランスファゲート201, 202とが結合されて成る。インバータIV22, IV22がループ状に結合され、インバータIV23, IV24がループ状に結合されることで、それぞれ信号の保持を行う保持部が形成される。上記信号の保持部への信号取り込みは、トランスファゲート201, 202を介して行われる。

【0060】

本回路では、入力インバータ群INVを構成するインバータの個数、及び各ラッチ回路101～104の初期設定信号S0～S3とM0～M3のレベルを、図11のNo. 1～No. 32のように設定することで、上記入力信号の任意の切り換わりタイミングと同期した分周信号を発生することができる。尚、図11では、"0"は信号レベルがローレベル、"1"は信号レベルがハイレベル、"HZ"は当該ノードがハイ・インピーダンスであることを示している。例えば、図11の

No. 1の行に示したように、 $S_0 \sim S_3$ と $M_0 \sim M_3$ の初期設定レベルを設定し、入力インバータ INV の個数を偶数とすると、本分周器は上記入力信号の第1番目の切り換わりタイミングと同期した分周信号を発生する。

【0061】

図12には、上記入力信号と分周信号出力のタイミングの一例が示される。図11のNo. 1に対応する分周信号出力はOUT1である。また、図11のNo. 2の行に示したように、 $S_0 \sim S_3$ と $M_0 \sim M_3$ の初期設定レベルを設定し、入力インバータ INV の個数を奇数とすると、本分周器は上記入力信号の第2番目の切り換わりタイミングと同期した分周信号、すなわち、図12のOUT2で示される分周信号を出力する。同様に、図11のNo. 32の行に示したように、 $S_0 \sim S_3$ と $M_0 \sim M_3$ の初期設定レベルを設定し、入力インバータ INV の個数を奇数とすると、本分周器は上記入力信号の第32番目の切り換わりタイミングと同期した分周信号、すなわち、図12のOUT32で示される分周信号を出力する。

【0062】

従って、分周器DIVA及びDIVBを、それぞれラッチ回路を複数個直列に接続して構成し、これらラッチ回路の初期状態を設定することによって、上記 j の値を任意に設定することができる。

【0063】

尚、上記初期状態の設定をヒューズによって決定される信号または外部入力信号で行うと、ヒューズのオン／オフまたは外部入力信号のレベルを変化させることで、上記 j の値を任意に設定することができる。

【0064】

ここで、本分周器の入力インバータ INV の個数を奇数にするか偶数にするかは、入力信号の奇数番目の切り換わりに同期させるか、偶数番目の切り換わりに同期させるかによって決定される。ところで、図1の説明で述べたように、分周器DIVBが入力クロックの第 $(i - j)$ 番目の切り換わりと同期した分周信号を発生し、DIVAが入力クロックの第 $(i + 1 + j)$ 番目の切り換わりと同期した分周信号を発生するようにすると、 $(i - j)$ と $(i + 1 + j)$ の差は $(2$

$j+1$) と奇数なので、DIVBとDIVAの一方が入力信号の奇数番目の切り換わりに同期する場合は、他方は入力信号の偶数番目の切り換わりに同期することになる。従って、DIVBとDIVAの入力インバータINVの個数を一致させることができない。すなわち、DIVBとDIVAの遅延時間が少なくともインバータ1段分の遅延時間だけ異なることになり、上記(2)式が精度よく成立しなくなってしまう。それを解決するには、上記入力インバータINVが入力信号の極性を反転するするために使用されていることに着目し、分周器DIVBとDIVAのどちらか一方はCKT2の反転信号CKB2を用いて分周信号を発生するようにすればよい。そこで、図1ではDIVAの前にセクタSELを配置することで、CKB2を入力できるようにしている。このようにすると、DIVBとDIVAの入力インバータINVの個数を一致させることができ、上記(2)式がより精度よく成立し、その結果、(6)式、(7)式もより精度よく成立する。従って、DIを内部クロック信号CKITまたはCKIBに同期動作するラッチ回路DIRGで取り込む際、タイミングマージンが小さくなるのをさらに確実に防止することができる。

【0065】

尚、以上の説明から、例えば分周器DIVAの初期状態を適当に設定することによって、DIVAが入力クロックの第($i+j$)番目の切り換わりと同期した分周信号を発生するようにすることもできる。この場合は、内部クロックの位相は0度または180度に設定されることになる。従って、上記初期状態の設定をヒューズ信号または外部入力信号で行うと、ヒューズのオン/オフまたは外部入力信号のレベルを変化させることで、内部クロックの位相を0度、90度、180度、270度と自由に設定することができる。

【0066】

図13には、図10に示される分周器を構成している各ラッチ回路の初期設定信号S0～S3を発生するための初期設定回路の構成例が示される。尚、初期設定信号M0～M3を発生する初期設定回路も同一構成のものを適用することができる。

【0067】

図 13 に示される初期設定回路は、特に制限されないが、ヒューズ F1, F2、プルアップ抵抗 131, 132、ナンドゲート NA1, NA2、インバータ IV30、pチャネル型 MOS トランジスタ MP31、及び nチャネル型 MOS トランジスタ MN31 が結合されて成る。ヒューズ F1, F2 が切断されているか否かによって、ナンドゲート NA1, NA2 における一方の入力端子の論理レベルが決定される。ナンドゲート NA1 の出力信号は、後段の MOS トランジスタ MP31 に伝達される。ナンドゲート NA2 の出力信号は、インバータ IV30 を介して後段の MOS トランジスタ MN31 に伝達される。MOS トランジスタ MP31, MN31 とは直列接続され、この直列接続ノードから出力信号 OUT が得られる。この出力信号 OUT は、例えば図 10 の初期設定信号 S0 に対応する。通常時において、図 13 におけるリセット信号 RS はローレベルに設定される。このとき、出力信号 OUT は "HZ" (ハイ・インピーダンス) になり、ラッチ回路の動作に何の影響も及ぼさない。一方、初期設定時にリセット信号をハイレベルにすると、ヒューズ F1 と F2 のオン/オフ状態によって、出力信号 OUT の状態が変化する。例えばヒューズ F1 がオン、ヒューズ F2 がオフの場合は、リセット信号をハイレベルにすると、出力信号 OUT はローレベルになる。また、ヒューズ F1 がオフ、ヒューズ F2 がオンの場合は、リセット信号をハイレベルにすると、出力信号 OUT はハイレベルになる。また、ヒューズ F1 と F2 が両方ともオンの場合は、リセット信号をハイレベルにすると、出力信号 OUT は HZ のままである。

【0068】

図 14 には、図 1 における位相比較器 PD の構成例が示される。図 14 に示される位相比較器 PD は、特に制限されないが、ナンドゲート NA21 ~ NA26 が結合されて成る。x1 と x2 は入力信号であり、OUTS と OUTF は出力信号である。本回路は信号 x2 が立ち上がった時点で、x1 がハイレベルであれば、x1 は x2 よりも位相が進んでいると判断し、出力信号 OUTF をハイレベル、出力信号 OUTS をローレベルにする。また、x2 が立ち上がった時点で、x1 がローレベルであれば、x1 は x2 よりも位相が遅れていると判断し、出力信号 OUTS をハイレベル、出力信号 OUTF をローレベルにする。

【0069】

上記の例によれば、以下の作用効果を得ることができる。

【0070】

(1) クロック信号の第 i 番目の切り換わりタイミングと第 $(i+1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号に同期して上記データ信号を取り込むことにより、上記クロック信号のデューティ比が 50% と異なる場合でも、データ取り込みについて十分なタイミングマージンを確保することができる。

【0071】

(2) 上記 (1) の作用効果により、スタティック型 RAM において、メモリアレイへ書き込むデータを的確にフェッチすることができるので、スタティック型 RAM の信頼性の向上を図ることができる。

【0072】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0073】

(3) 図 4 に示されるように、可変遅延回路 VDLX を可変遅延回路 VDLA で代用し、可変遅延回路 VDLX を省略することにより、可変遅延回路 VDLX が不要になる分、回路のチップ占有面積を小さくできる。また、可変遅延回路 VDLX を可変遅延回路 VDLA で代用すると、(3) 式がより精度よく成立し、その結果 (6)、(7) もより精度よく成立するため、データ信号 DI を内部クロック信号 CKIT または CKIB に同期動作するラッチ回路 DIRG で取り込む際、タイミングマージンが小さくなるのをさらに確実に防止することができる。

【0074】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるスタティック型 RAM に適用した場合について説明したが、本発明はそれに限定されるものではなく、クロック同期型の各種半導体集積回路に広く

適用することができる。

【0075】

本発明は、少なくともクロック信号に同期してデータを取り込むことを条件に適用することができる。

【0076】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0077】

すなわち、クロック信号の第 i 番目の切り換わりタイミングと第 $(i+1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号に同期して上記データ信号を取り込むことにより、上記クロック信号のデューティ比が 50% と異なる場合でも、データ取り込みについてのタイミングマージンが小さくなるのを回避することができる。

【図面の簡単な説明】

【図1】

本発明にかかる半導体集積回路の一例であるスタティック型 SRAM における主要部の構成例ブロック図である。

【図2】

本発明の一実施例の信号のタイミング例を示す図である。

【図3】

本発明の一実施例の信号のタイミングの他の例を示す図である。

【図4】

本発明にかかる半導体集積回路の一例であるスタティック型 SRAM における主要部の別の構成例ブロック図である。

【図5】

上記スタティック型 SRAM に含まれる DI 入力バッファ DIB、CK 入力バッファ CKBF の構成例を示す回路図である。

【図6】

上記スタティック型SRAMに含まれるラッチ回路の構成例を示す回路図である。

【図7】

上記スタティック型SRAMに含まれる可変遅延回路及びダミー可変遅延回路の構成例回路図である。

【図8】

上記スタティック型SRAMに含まれる可変遅延回路及びダミー可変遅延回路別の構成例回路図である。

【図9】

図6におけるスイッチ制御の一例の説明図である。

【図10】

上記スタティック型SRAMに含まれる分周器の構成例回路図である。

【図11】

図10における各ラッチ回路の初期設定例の説明図である。

【図12】

図10における入力信号と分周信号出力のタイミング例を示す波形図である。

【図13】

図12に示される初期設定信号を発生する回路の構成例回路図である。

【図14】

上記スタティック型RAMに含まれる位相比較器の構成例回路図である。

【図15】

上記スタティック型RAMにおける主要部の別の構成例ブロック図である。

【図16】

クロック信号とデータ信号のタイミング例を示す波形図である。

【図17】

クロック信号とデータ信号の別のタイミング例を示す波形図である。

【符号の説明】

D I データ信号

V r e f 参照レベル信号

CKT, CKB クロック相補信号

CKIT, CKIB 内部クロック信号

DIB DI入力バッファ

DIRG ラッチ回路

CKBF CK入力バッファ

DLLT, DLLB デイレイ・ロックド・ループ

DSTA 第1のCK分配回路

VDLA 可変遅延回路

DSTB 第2のCK分配回路

DIVA、DIVB 分周器

PD 位相比較器

VDLX, VDLY ダミー可変遅延回路

DSTX 第1のダミーCK分配回路

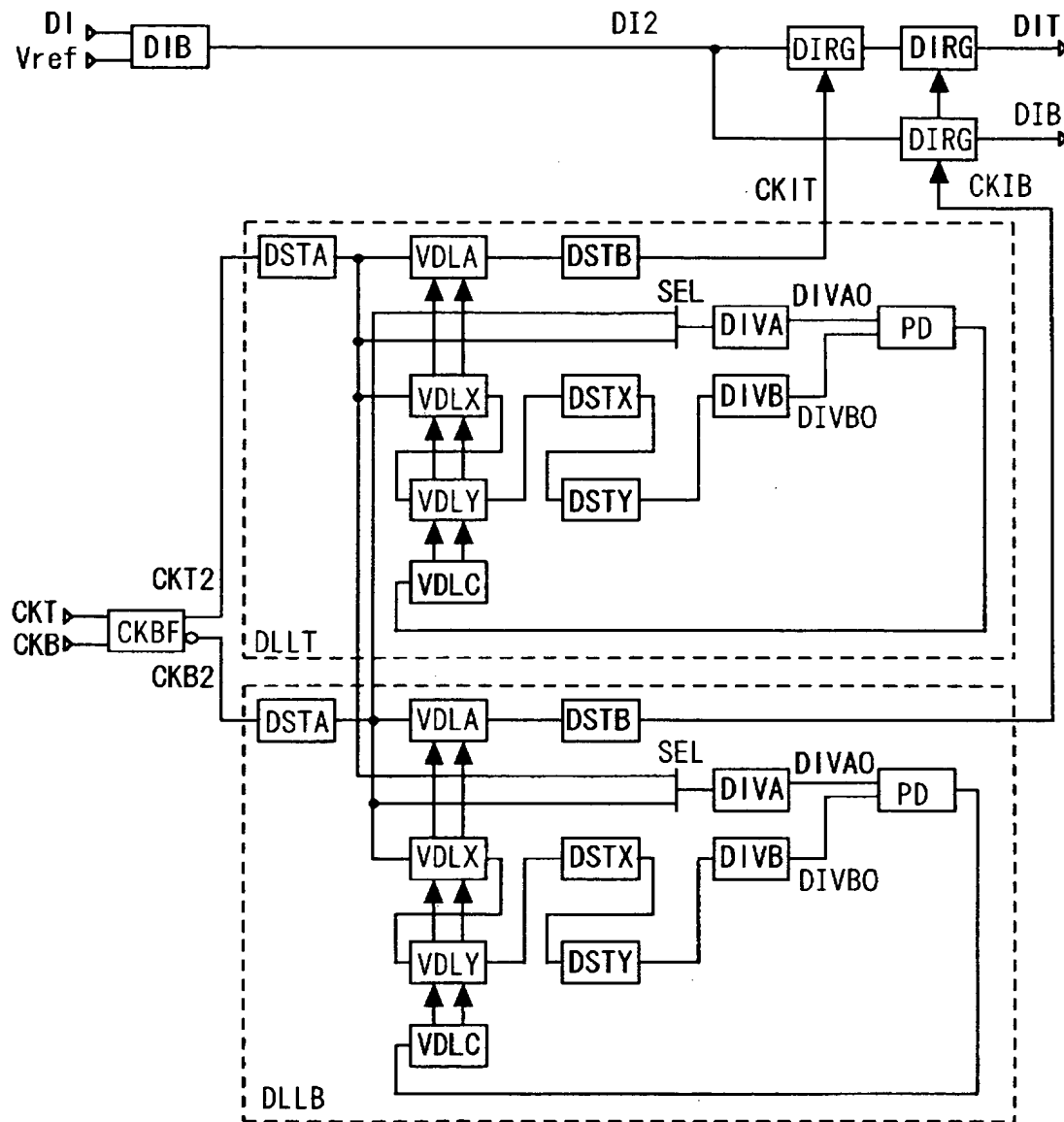
DSTY 第2のダミーCK分配回路

VDLC 遅延制御回路

【書類名】 図面

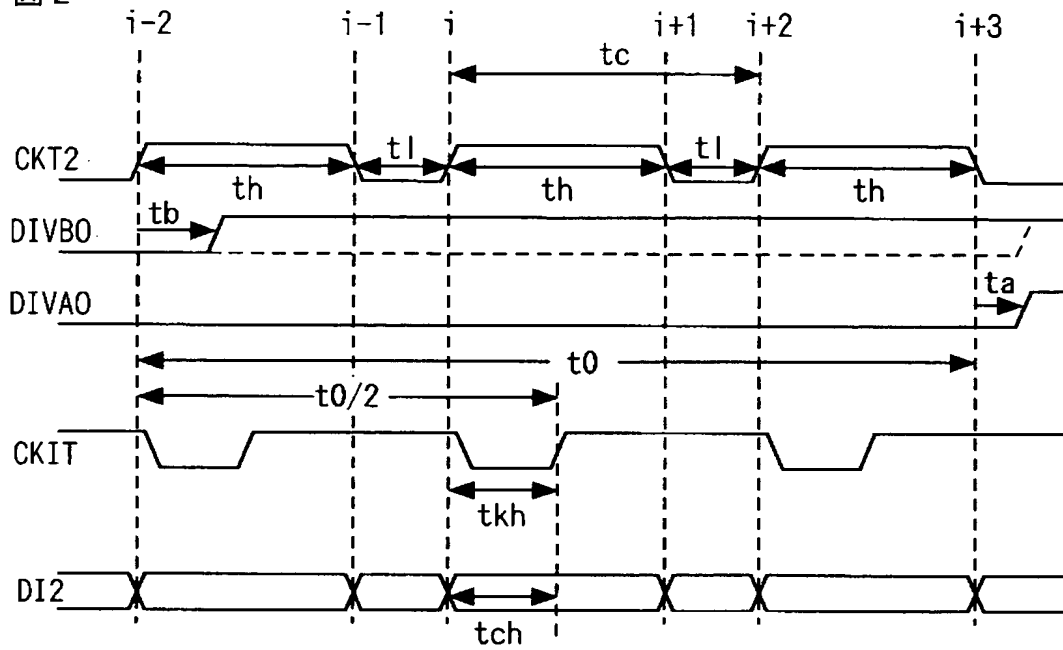
【図 1】

図 1



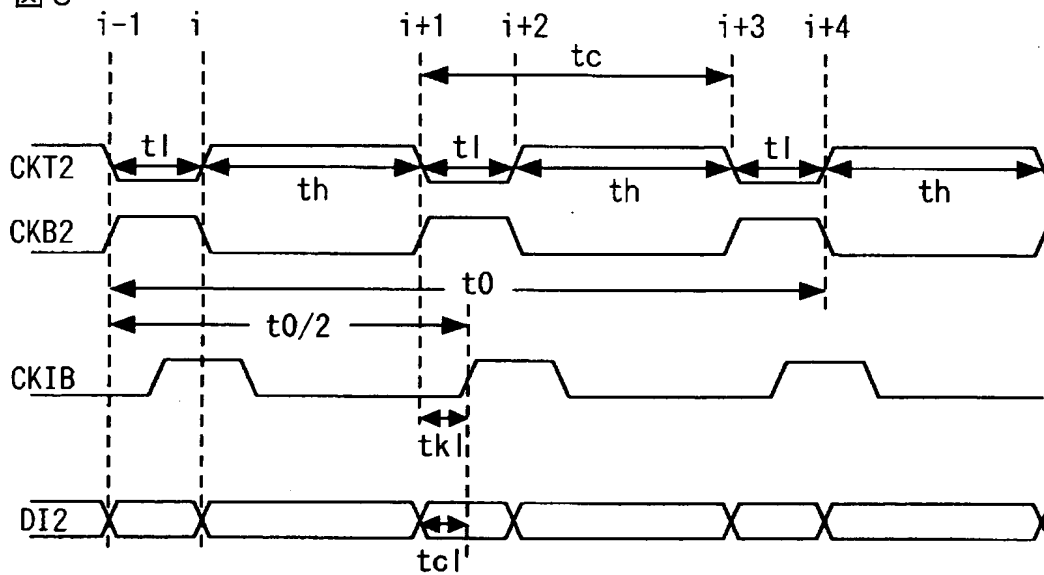
【図 2】

図 2



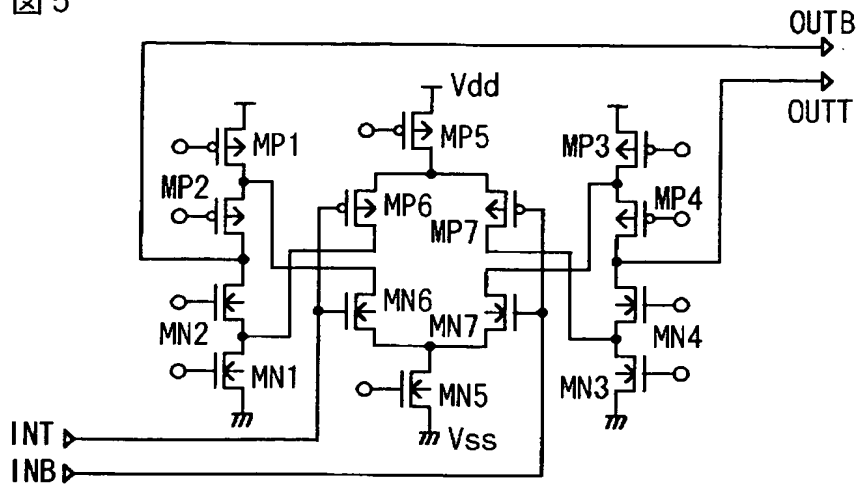
【図 3】

図 3



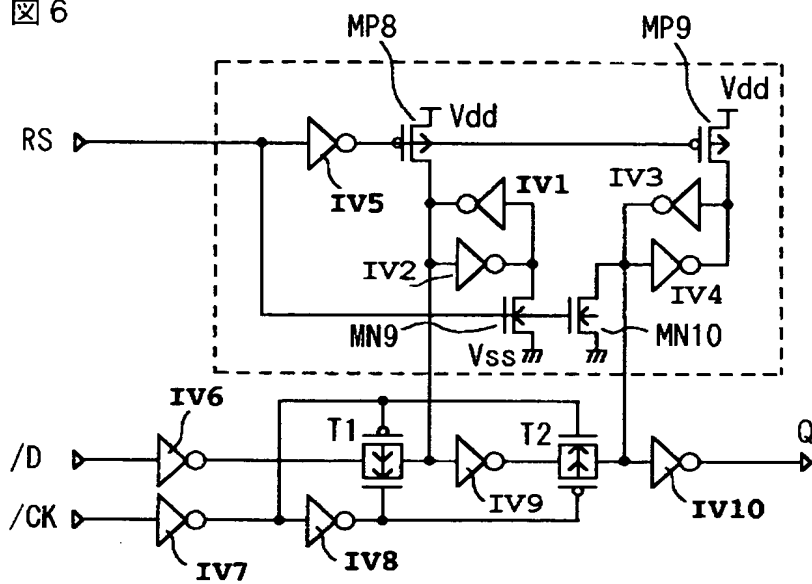
【図 5】

図 5

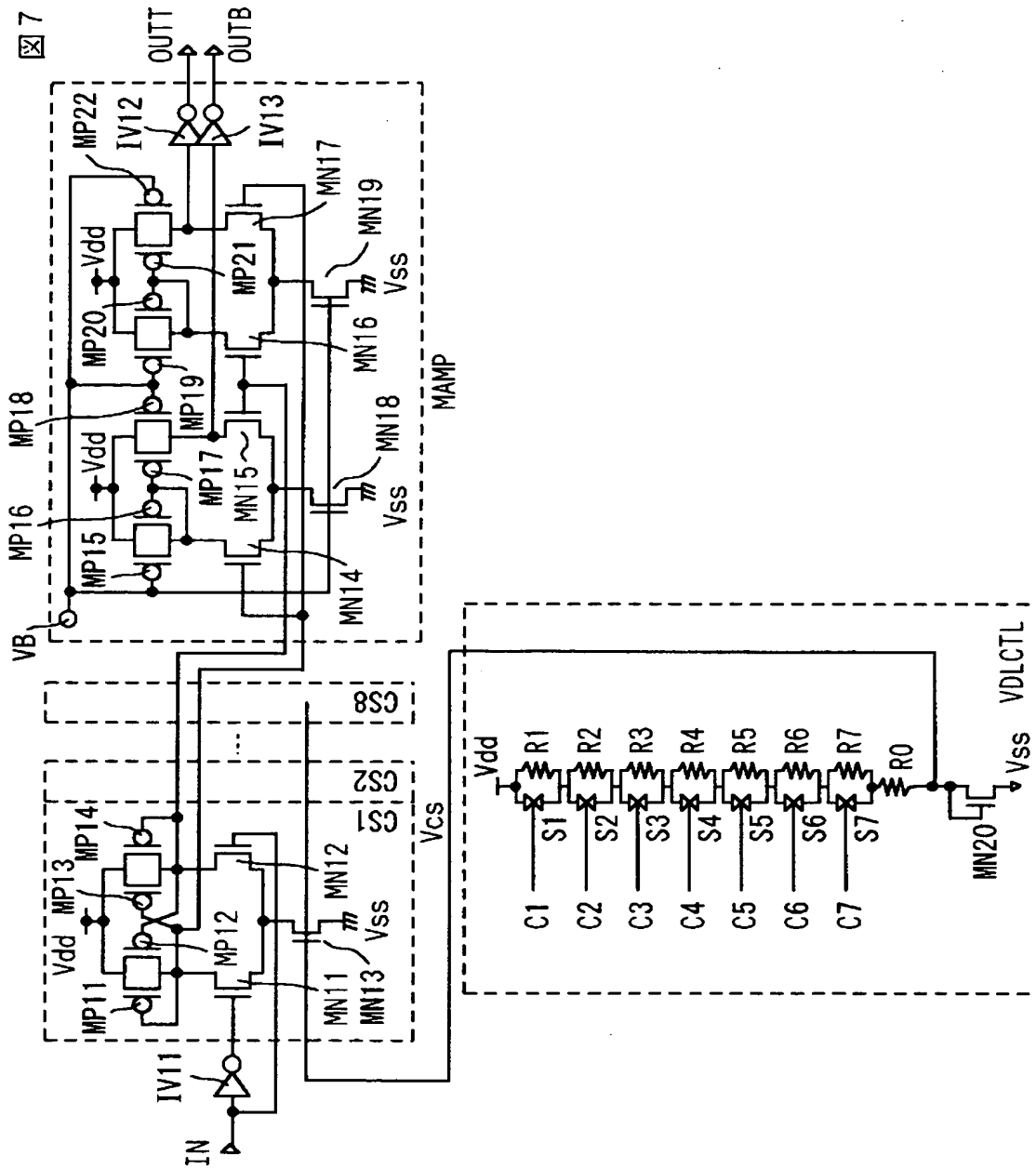


【図 6】

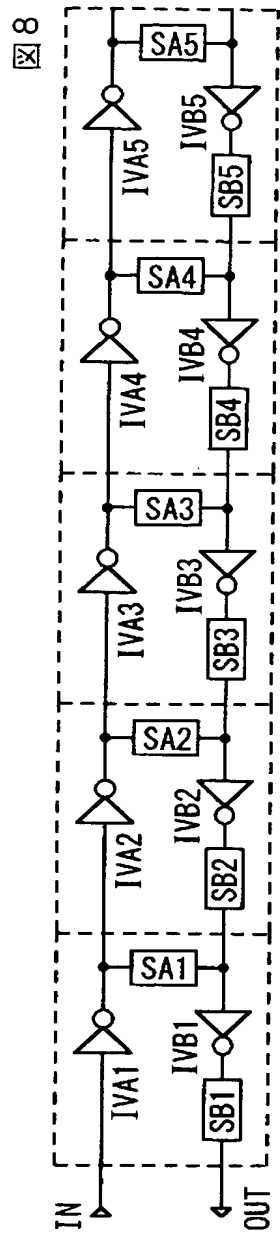
図 6



【図 7】



【図 8】



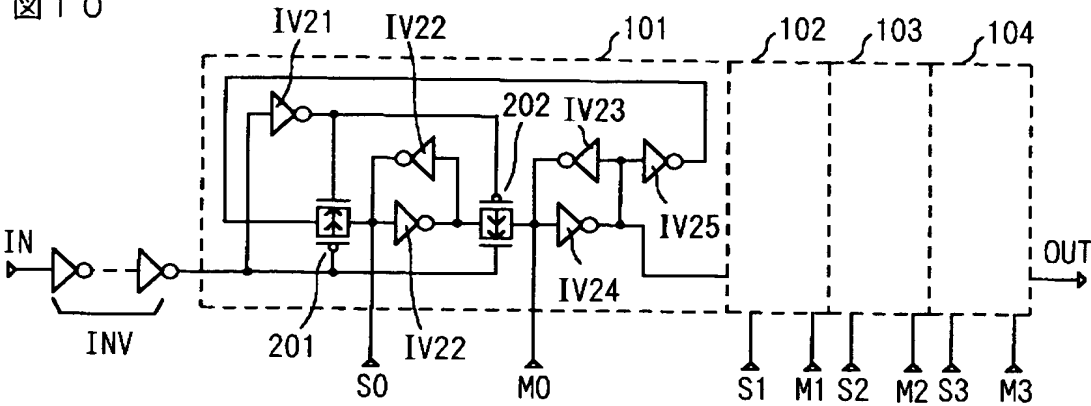
【図 9】

図 9

No.	SA1	SA2	SA3	SA4	SA5	SB1	SB2	SB3	SB4	SB5
1	ON	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
2	OFF	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF
3	OFF	OFF	ON	OFF	OFF	ON	ON	ON	OFF	OFF
4	OFF	OFF	OFF	ON	OFF	ON	ON	ON	ON	OFF
5	OFF	OFF	OFF	OFF	ON	ON	ON	ON	ON	ON

【図 10】

図 10

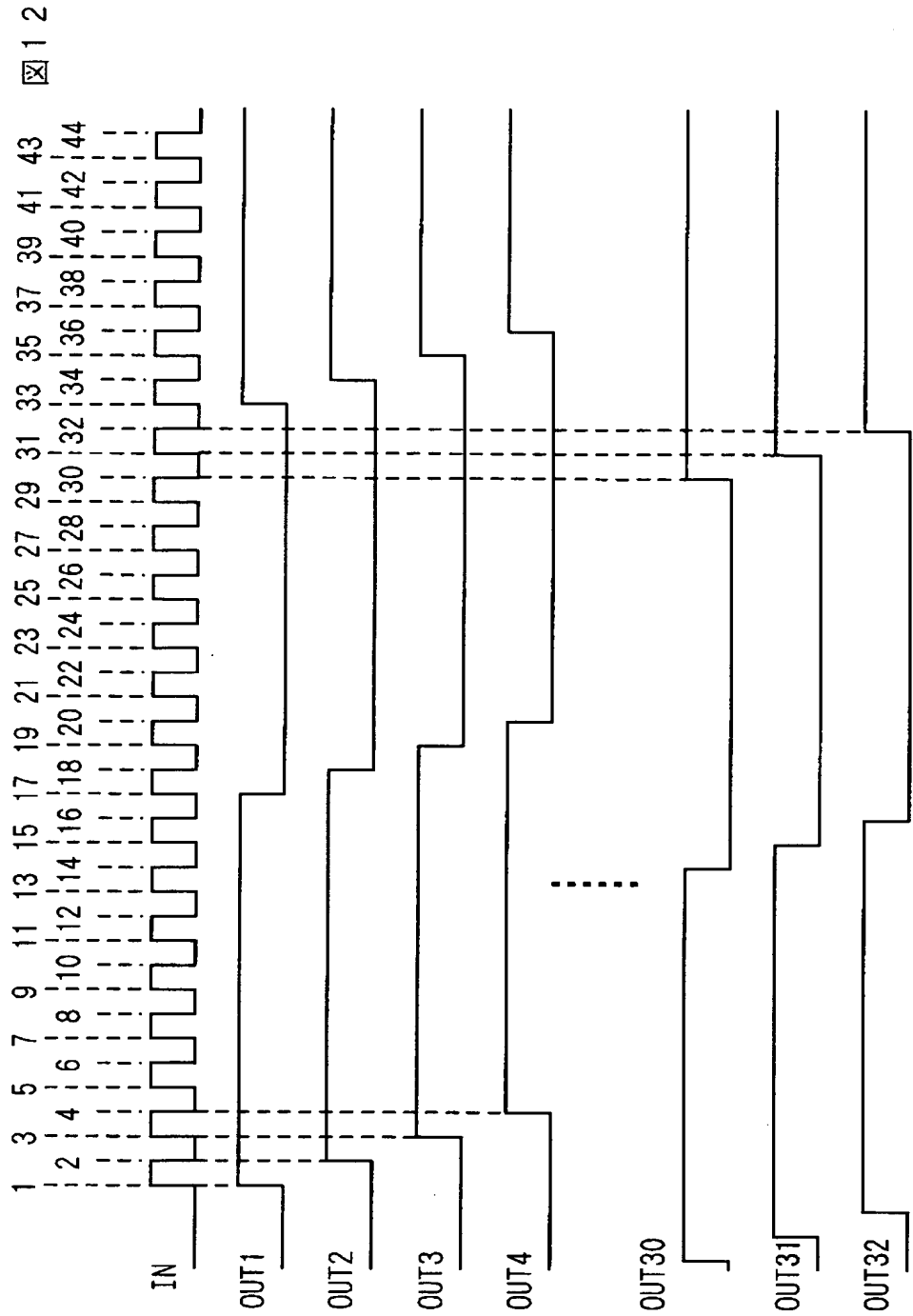


【図 11】

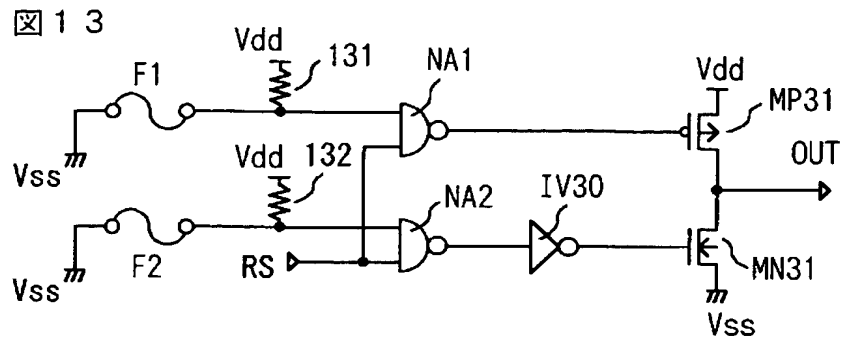
図 11
 "0":Lレベル
 "1":Hレベル
 HZ:High-Z(ハイ・インピーダンス)

No.	INVの個数	S0	M0	S1	M1	S2	M2	S3	M3
1	偶数	HZ	1	HZ	1	HZ	1	HZ	1
2	奇数	0	HZ	HZ	1	HZ	1	HZ	1
3	偶数	HZ	0	0	HZ	HZ	1	HZ	1
4	奇数	1	HZ	0	HZ	HZ	1	HZ	1
5	偶数	HZ	1	HZ	0	0	HZ	HZ	1
6	奇数	0	HZ	HZ	0	0	HZ	HZ	1
7	偶数	HZ	0	1	HZ	0	HZ	HZ	1
8	奇数	1	HZ	1	HZ	0	HZ	HZ	1
9	偶数	HZ	1	HZ	1	HZ	0	0	HZ
10	奇数	0	HZ	HZ	1	HZ	0	0	HZ
11	偶数	HZ	0	0	HZ	HZ	0	0	HZ
12	奇数	1	HZ	0	HZ	HZ	0	0	HZ
13	偶数	HZ	1	HZ	0	1	HZ	0	HZ
14	奇数	0	HZ	HZ	0	1	HZ	0	HZ
15	偶数	HZ	0	1	HZ	1	HZ	0	HZ
16	奇数	1	HZ	1	HZ	1	HZ	0	HZ
17	偶数	HZ	1	HZ	1	HZ	1	HZ	0
18	奇数	0	HZ	HZ	1	HZ	1	HZ	0
19	偶数	HZ	0	0	HZ	HZ	1	HZ	0
20	奇数	1	HZ	0	HZ	HZ	1	HZ	0
21	偶数	HZ	1	HZ	0	0	HZ	HZ	0
22	奇数	0	HZ	HZ	0	0	HZ	HZ	0
23	偶数	HZ	0	1	HZ	0	HZ	HZ	0
24	奇数	1	HZ	1	HZ	0	HZ	HZ	0
25	偶数	HZ	1	HZ	1	HZ	0	1	HZ
26	奇数	0	HZ	HZ	1	HZ	0	1	HZ
27	偶数	HZ	0	0	HZ	HZ	0	1	HZ
28	奇数	1	HZ	0	HZ	HZ	0	1	HZ
29	偶数	HZ	1	HZ	0	1	HZ	1	HZ
30	奇数	0	HZ	HZ	0	1	HZ	1	HZ
31	偶数	HZ	0	1	HZ	1	HZ	1	HZ
32	奇数	1	HZ	1	HZ	1	HZ	1	HZ

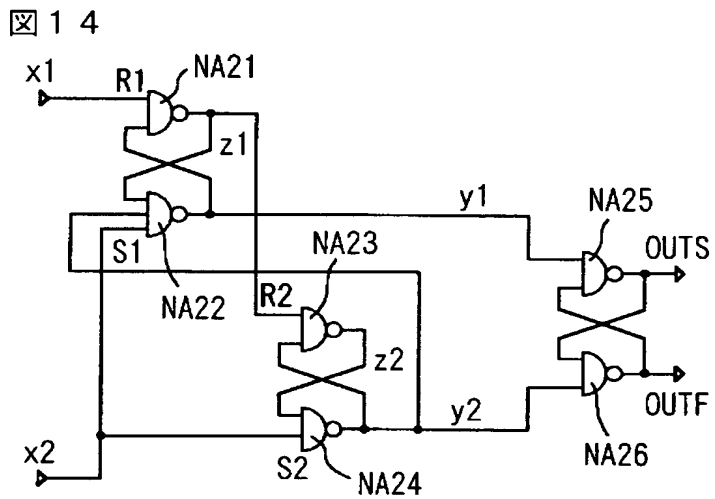
【図 12】



【図 13】

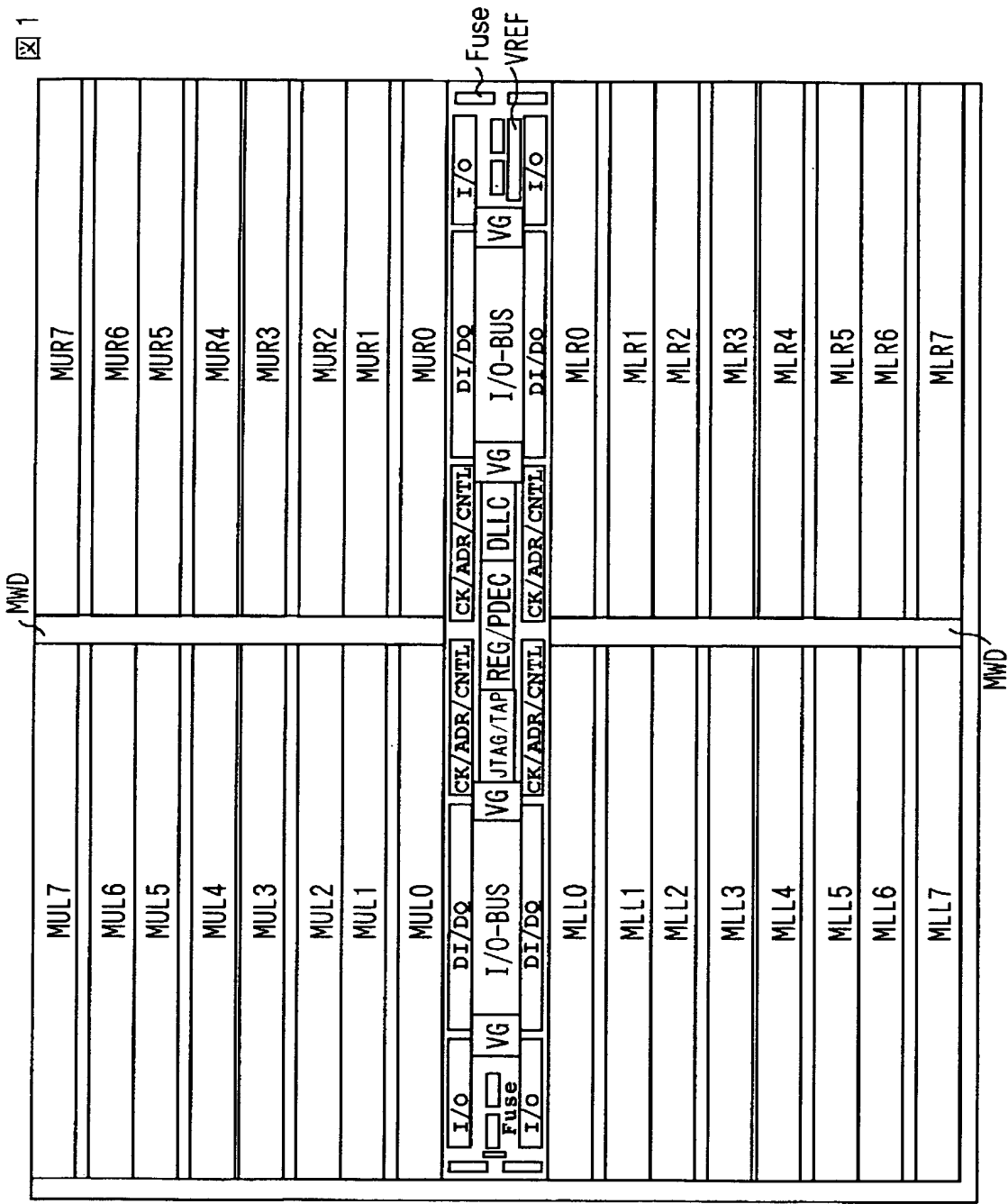


【図 14】



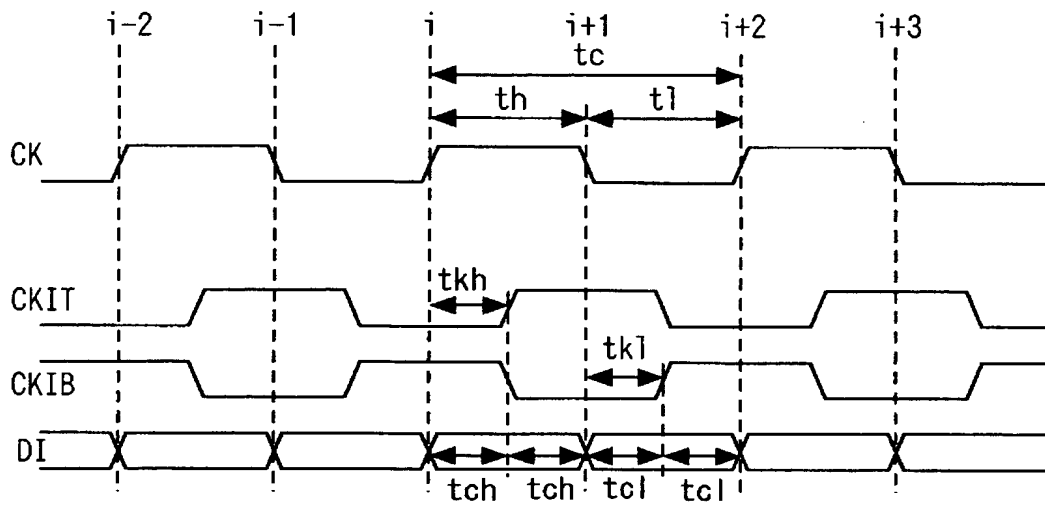
【図 15】

図 15



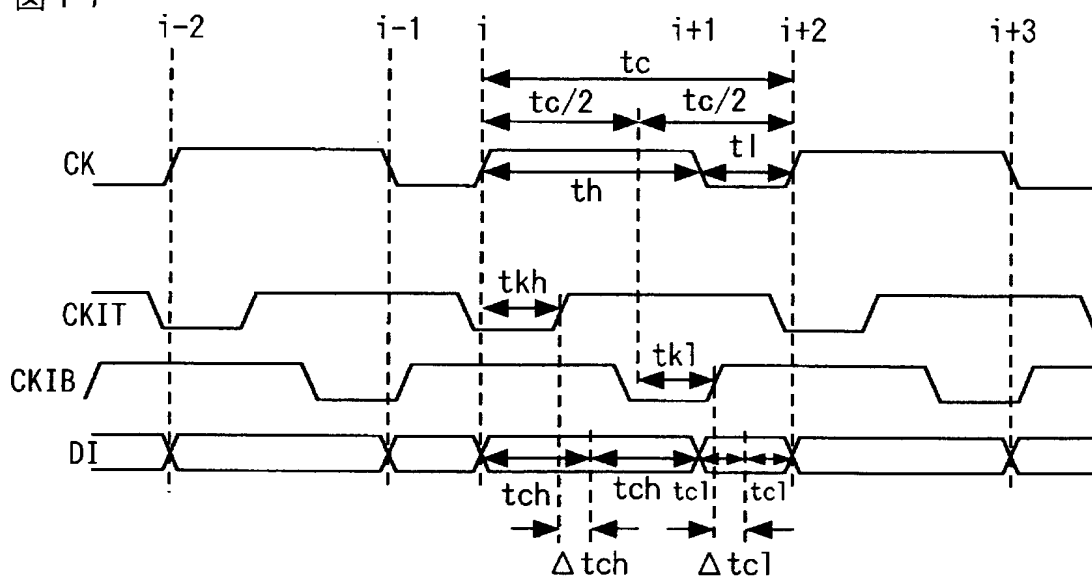
【図 16】

図 16



【図 17】

図 17



【書類名】 要約書

【要約】

【課題】 クロック信号のデューティ比が50%と異なる場合でも、データ取り込みについてのタイミングマージンが小さくなるのを回避する。

【解決手段】 クロック信号を取り込むためのクロック入力端子及びデータ信号を取り込むためのデータ入力端子と、上記クロック信号の第 i 番目 (i は1以上の整数) の切り換わりタイミングと第 $(i + 1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号を発生する内部クロック発生回路 (DLLT, DLLB) と、上記データ信号を、上記内部クロック信号に同期して取り込むラッチ回路 (DIRG) とを設け、クロック信号の第 i 番目の切り換わりタイミングと第 $(i + 1)$ 番目の切り換わりタイミングの中間のタイミングで切り換わる内部クロック信号を生成し、それに基づいて上記データ信号を取り込むようにする。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 77301

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 7 3 0 1
受付番号	5 0 3 0 1 2 1 0 8 1 5
書類名	出願人名義変更届（一般承継）
担当官	神田 美恵 7 3 9 7
作成日	平成 1 5 年 1 0 月 3 日

< 認定情報・付加情報 >

【提出日】	平成 1 5 年 7 月 2 3 日
-------	--------------------

特願 2 0 0 3 - 0 7 7 3 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 7 7 3 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 3 - 0 7 7 3 0 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ